

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-35487

(43)公開日 平成6年(1994)2月10日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|---------|-----|--------|
| G 1 0 K 11/16 | H | 7406-5H | | |
| H 0 3 H 17/02 | G | 7037-5J | | |
| 17/04 | A | 7037-5J | | |
| 21/00 | | 7037-5J | | |

審査請求 未請求 請求項の数3(全10頁)

(21)出願番号 特願平4-195462

(22)出願日 平成4年(1992)7月22日

(71)出願人 000005348

富士重工株式会社
東京都新宿区西新宿一丁目7番2号

(71)出願人 000005016

パイオニア株式会社
東京都目黒区目黒一丁目4番1号

(72)発明者 飯高 宏

東京都新宿区西新宿一丁目7番2号 富士
重工株式会社内

(72)発明者 野原 学

埼玉県川越市大字山田字西町25番地1 パ
イオニア株式会社川越工場内

(74)代理人 弁理士 瀧野 秀雄 (外1名)

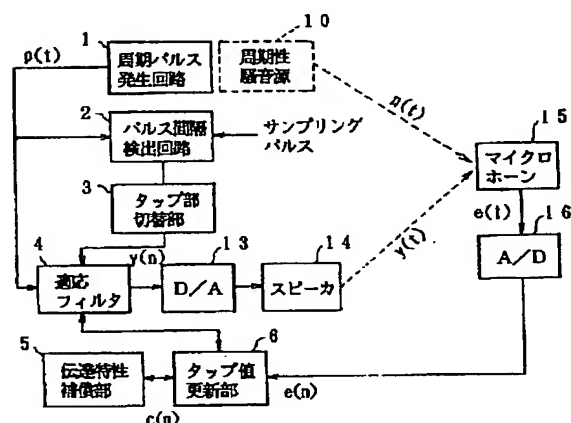
(54)【発明の名称】 騒音低減装置

(57)【要約】

【目的】 本発明は周期性騒音を低減させる騒音低減装置に関し、装置構成を簡易化した騒音低減装置を提供することを目的とする。

【構成】 マイクロホンに入力される騒音を低減させる信号を発生する適応フィルタのタップ値を、前記マイクロホンよりの出力により適応制御して前記マイクロホンよりの騒音信号を低減するようにした騒音低減装置において、騒音の周期に同期したパルスが発生させる同期パルス発生回路と、前記同期パルス発生回路で発生したパルスの発生間隔を検出するパルス間隔検出回路と、前記パルス間隔検出回路で検出された間隔に等くなるよう前記適応フィルタのタップ付遅延線のタップ数に切替えるタップ数切替部とを備える。

実施例の構成



【特許請求の範囲】

【請求項1】 マイクロホンに入力される騒音を低減させる信号を発生する適応フィルタのタップ値を、前記マイクロホンよりの出力と前記適応フィルタで発生した信号が前記マイクロホンに到達するまでの伝達特性を補償する信号とにより適応制御して前記マイクロホンよりの騒音信号を低減するようにした騒音低減装置において、

前記適応フィルタで発生する信号および前記伝達特性を補償する信号を発生させるための騒音の周期に同期したパルス

を発生させる同期パルス発生回路と、前記同期パルス発生回路で発生したパルスの発生間隔を検出するパルス間隔検出回路と、

前記パルス間隔検出回路で検出された間隔に等くなるように前記適応フィルタのタップ付遅延線の遅延量となるタップ数に切替えるタップ数切替部と、を備えたことを特徴とする騒音低減装置。

【請求項2】 前記伝達特性を補償する信号の発生を、前記同期パルス発生回路よりのパルスに同期して不揮発性メモリより読出して得るようにしたことを特徴とする請求項1記載の騒音低減装置。

【請求項3】 前記適応フィルタのタップ値を、前記伝達特性を補償するデータ値を格納したメモリに対応するアドレス数に対応した数のタップ値のみ更新するようにしたことを特徴とする請求項2記載の騒音低減装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、騒音を、位相が反転した騒音と同じ信号を発生させて低減させる騒音低減装置に関し、とくに騒音が周期性騒音である場合の騒音低減装置に関する。

【0002】

【従来の技術】 例えば、自動車の室内においてはエンジンの回転によって、また空調設備などにおいてはファンやコンプレッサの回転などによって騒音が発生し不愉快な気分させられることがある。

【0003】 このような騒音を低減させる従来例を図7乃至図9を参照して説明する。図7は従来例の構成図、図8は従来例の適応フィルタおよびタップ値更新部の構成図、図9は従来例の伝達特性補償部の構成図である。図7において、10は騒音源、11は騒音源10よりの騒音をピックアップするピックアップ回路、12および16はアナログデジタル変換器(A/D)、13はデジタルアナログ変換器(D/A)、14はスピーカ、*

$$C(n) = \sum_{i=0}^J x(n-i) C_i \quad \dots (1)$$

で表わされる。

【0009】 適応フィルタ7は、図8で示されるように、遅延素子70-1~70-Z、タップ値71-0~71-Zおよび加算器72で構成される。遅延素子70※

$$y(n) = \sum_{i=0}^Z x(n-i) W_i(n) \quad \dots (2)$$

* 7は適応フィルタ、8は伝達特性補償部、9は適応フィルタ7のタップ値を更新するタップ値更新部である。

【0004】 マイクロホン15は騒音を低減させようとする地点に設置される。適応フィルタ7は、ピックアップ回路11でピックアップした信号がマイクロホン15に入力される騒音源10よりの騒音と異なる部分を補正してスピーカ14より送出され、マイクロホン15に到達した信号が、騒音源10よりの騒音と同振幅で逆位相の信号を発生させる。

【0005】 適応フィルタ7は、後で図8を参照して詳細に説明するように、タップ付遅延線より成るデジタルフィルタで構成されている。すなわち、あらゆる波形の信号はフーリエ変換することにより周波数スペクトルに分解することができる。また、周波数スペクトルが同一であるならば、フーリエ逆変換を行なうことにより同一の波形を得ることができる。したがって、適応フィルタ7はピックアップ回路11よりピックアップされた信号のスペクトルをマイクロホン15で受信する騒音源10よりの騒音信号のスペクトルと同一スペクトルになるよう通過スペクトルを制御している。

【0006】 タップ値更新部9は適応フィルタ7のタップ値を更新させ、通過スペクトルが騒音信号のスペクトルと同一スペクトルとなるように濾波特性を作り出している。伝達特性補償部8は、適応フィルタ7で発生した信号がD/A13およびスピーカ14を通過してマイクロホン15に到達するまでには時間遅れや帯域制限などの影響を受けるため、これらの伝達特性を補償して、マイクロホンの入力で騒音源10よりの信号と同振幅で逆位相となるよう補償信号を発生している。

【0007】 この伝達特性もタップ付遅延線より成るデジタルフィルタで構成させることができる。図9は伝達特性補償部8の構成を示したものであり、80-1~80-Jは遅延素子で、A/D12および16に入力されるサンプリングパルスのサンプリング間隔に対応する時間遅延される。また81-0~81-Jはタップ値であり、遅延素子の出力値をタップ値倍されて出力される。

【0008】 そこで、 $t = t_0$ ときのA/D12の出力値を $x(n)$ 、その次の $t = t_0 + 1$ ときの出力値を x

$$(n+1) \text{ で表わし、} \\ \sum_{i=1,3} x_i = x_1 + x_3 + x_5$$

で表わすと、加算器82より出力される伝達特性補償部8よりの補償信号C(n)は、

※はサンプリングパルスの発生間隔に等しい時間A/D12よりの出力信号を遅延させる。

【0010】 したがって、適応フィルタ7よりの出力 $y(n)$ は

で表わされ、D/A13でアナログ信号に変換されてスピーカ14より送出される。

【0011】適応フィルタ7のタップ値 $W_z(n)$ はサンプリングパルスが発生される毎に更新される。このタップ値の更新はタップ値更新部9によって行なわれる。タップ値更新部9は、図8に示されるように、乗算器90、91および92と加算器93で構成される。

【0012】先ず遅延素子90では、前記伝達特性補償部8よりの出力信号 $C(n)$ が入力され、サンプリングパルスの発生間隔に等しい時間遅延されて伝播される。また、乗算器91ではマイクロホン15よりの出力 $e(t)$ がA/D16でデジタル値に交換された信号 e^*

$$W_z(n+1) = W_z(n) - \alpha C(n) e^*(n) \quad \dots (3)$$

なるタップ値に更新を行なう。またその他のタップ W_i ※ ※についても

$$W_i(n+1) = W_i(n) - \alpha C(n-i) e^*(n) \quad \dots (4)$$

なるタップ値に更新を行なう。

【0015】以上説明したように、タップ値が更新されることにより、スピーカ14より送出される音波はマイクロホン15の入力で騒音源10より騒音と同振幅で逆位相となり、マイクロホンの付近における騒音を低減させている。

【0016】

【発明が解決しようとする課題】前述したように、従来の騒音低減装置は、騒音源よりピックアップした騒音信号を適応フィルタを通して騒音と同振幅で逆位相の信号を発生させて騒音を低減するようにしていた。

【0017】このため、適応フィルタではタップ数に等しい乗算を、また、タップ値の更新にはタップ数に等しい乗算および加算を行なわせる必要がある。これらの乗算や加算を個別の乗算器や加算器で構成した場合は装置構成が非常に複雑となり、一般にはプロセッサによる処理で行なわせている。しかし、前述したように非常に多くのタップ数に対応した乗算および加算処理をサンプリングパルスの間隔の間で行なわせるには高速のプロセッサを必要とし、装置価格を高価にしていた。

【0018】本発明は、一般の騒音源としては周期性のあるものが非常に多く、この周期性のある騒音に対して装置構成を非常に簡易化した騒音低減装置を提供することを目的とする。

【0019】

【課題を解決するための手段】まず、課題を解決するための手段を説明する前に、本発明の原理を説明する。前述した従来例では、適応フィルタに入力する信号は、マイクロホンに入力する騒音のスペクトルに近い信号として、騒音源よりピックアップした信号を入力していた。

* (n) を α 倍する乗算が行なわれる。この α は適応制御系のループ特性によって決定される。

【0013】次に、適応フィルタ7の各タップ値の更新値 $W(n+1)$ の算出を行なう。説明を容易にするため、タップ71-0のタップ値 $W_z(n)$ が $W_z(n+1)$ に更新される場合を例にとりて説明する。乗算器92-0では、乗算器91の出力と伝達特性補償部8よりの出力値 $C(n)$ との乗算が行なわれる。加算器93-0では、 $t=t_0$ におけるタップ値 $W_z(n)$ より乗算器92-0より出力値の減算が行なわれ、結果を次の $t=t_{0+1}$ におけるタップ値 $W_z(n+1)$ としてタップ値を更新する。

【0014】すなわち、

★【0020】しかし、適応フィルタに入力する信号は、騒音のスペクトルに近い信号を入力させる必要はなく、騒音のスペクトルを包含するスペクトルを有する信号であればどのような信号であっても良い。すなわち、騒音のスペクトルを包含しておれば、フィルタの特性を変化させて、騒音のスペクトルと同一スペクトル特性にすることが出来、騒音の波形と同一波形にすることができ

る。【0021】また、周期性の騒音に対しては、適応フィルタを構成するタップ付遅延線の総遅延量を騒音の周期に等しい時間としてもフィルタ特性を得ることが出来る。すなわち、騒音が周期性であるため、1周期の騒音信号に対するレスポンスを騒音の周期で分割し、これらの分割されたレスポンスを重畳する重畳の定理が成立する。このことは、タップ付遅延線の遅延量を騒音の周期に等しい時間で分割して重畳せ、重畳したタップ値を合計したタップ値にしたことと同じになる。

【0022】本発明はこの原理に基くものであり、適応フィルタの演算処理を、従来例では式(2)で示される $y(n)$ の算出を $i=0$ から Z まで行なうのに対して、遅延量が騒音の周期に等しい時間となるI番目のタップまで行なわせる。また、適応フィルタでI番目のタップまでの演算処理を行なうことから、タップ値の更新は式(4)で示される W_i の $i=0$ よりI番目までで良くなる。

【0023】さらに、適応フィルタに入力する信号を騒音源より発生する騒音の周期に同期したパルスを入力させることにより、パルスのスペクトルは非常に広く、騒音のスペクトルを包含する。またパルスの振幅 x を“1”に正規化すれば、式(2)は

$$y(n) = \sum_{i=K_1}^{K_2} W_i(n) \quad \dots (5)$$

ただし、 K_1 および K_2 はパルスが存在する遅延素子の番号で、 K_1 番より K_2 番目までパルスが存在している

ことを示す

で表わされ、加算のみの処理となり、単純化される。

【0024】つぎに課題を解決するための手段を説明する。マイクロホーンに入力される騒音を低減させる信号を発生する適応フィルタのタップ値を、前記マイクロホーンよりの出力と前記適応フィルタで発生した信号が前記マイクロホーンに到達するまでの伝達特性を補償する信号とにより適応制御して前記マイクロホーンよりの騒音信号を低減するようにした騒音低減装置において、前記適応フィルタで発生する信号および前記伝達特性を補償する信号を発生させるための騒音の周期に同期したパルスが発生させる同期パルス発生回路と、前記同期パルス発生回路で発生したパルスの発生間隔を検出するパルス間隔検出回路と、前記パルス間隔検出回路で検出された間隔に等くなるように前記適応フィルタのタップ付遅延線の遅延量となるタップ数に切替えるタップ数切替部と、を備える。

【0025】

【作用】同期パルス発生回路では騒音の周期に同期したパルスが発生して適応フィルタおよび伝達特性補償部に入力する。パルス間隔検出回路では前記同期パルス発生回路で発生したパルス間隔を検出する。

【0026】タップ数切替部では適応フィルタのタップ付遅延線の遅延量が前記パルス間隔検出回路で検出したパルス間隔と等しくなるタップ数で打切る切替を行なう。以上のように、騒音の周期に同期したパルスが発生させて適応フィルタに入力し、適応フィルタのタップ付遅延線のタップ数を、入力したパルスの間隔に等しい遅延量となるタップ数で打切るようにさせたので、適応フィルタでの演算処理回数を大幅に低減させることができ、装置構成を簡易化することができる。

【0027】

$$C(n) = \sum_{i=k, k-2}^{\infty} C_i$$

ただし、kは最初の入力パルスが存在する遅延素子の番号で表わされる。

【0032】また、タップ値 C_i は、図3で示されるように、スピーカ14、マイクロホーン15の設置位置および

$$HC_i = \sum_{i=k, k-2}^{\infty} C_i$$

ただし、 $i < 0$ および $i > J$ の時 $C_i = 0$

とすることにより加算処理が不要となる。

【0033】つぎに、図2を参照して、タップ数切替部3、適応フィルタ4、伝達特性補償部5およびタップ値更新部6の動作を説明する。図2は具体例である。伝達特性補償部5はメモリ51で構成され、式(7)で示したkをアドレスとして HC_i が格納されている。

【0034】タップ数切替部3はMOD(1)回路31で構成される。タップ値更新部6はアドレス発生回路61、加算器62および66、MOD(1)回路63、乗算回路64および65で構成される。また、適応フィルタ4はカウンタ41、微分回路42、アドレス発生回路43、メモリ44および加算回路45で構成される。

MOD(1)回路31および63の1はパルス間隔検出

*【実施例】本発明の一実施例を図1および図2を参照して説明する。図1は本発明の実施例の構成図、図2は同実施例のタップ切替部、適応フィルタ、伝達特性補償部およびタップ値更新部の具体例である。

【0028】図1において、1は同期パルス発生回路であり、騒音源10の騒音の周期に同期したパルスが発生する。2はパルス間隔検出回路であり、同期パルス発生回路1で発生したパルス間隔を検出する。実施例ではパルス間隔をA/D16のサンプリングパルス数でパルス間隔を検出させている。

【0029】3はタップ数切替部であり、適応フィルタ4のタップ数をパルス間隔検出回路2で検出されたサンプリングパルス数に等しいタップ数となるよう切替を行なう。5は伝達特性補償部、6はタップ値更新部、13はD/A、14はスピーカ、15はマイクロホーン、16はA/Dである。

【0030】サンプリングパルスの繰返し周波数はマイクロホーン15より出力される信号に含まれる最高周波数の2倍以上とし、装置設計時に予め決定されている。

また、以後の説明を容易にするため、同期パルス発生回路1より発生する同期パルス $p(t)$ の幅は3サンプリングパルス時間、また、パルス間隔検出回路2で検出されるパルス間隔は1サンプリングとする。

【0031】まず、伝達特性補償部5について説明する。伝達特性補償部5は、従来例で説明したように図9で示す構成のものも使用できるが、入力信号がパルスとしたことにより簡易化した構成が可能となる。すなわち、入力パルスが遅延素子に存在する係数のみを加算すれば良く、パルスの振幅xを“1”に正規化すれば、式

$$*30 \quad (1) \text{は} \quad \dots (6)$$

およびD/A13やスピーカの特性が決まれば決定される。したがって、最初の入力パルスがタップ番号kであるときの式(6)の右辺を予め計算し、第k番目のタップ値 HC_k を

$$\dots (7)$$

回路2より与えられる。

【0035】カウンタ41は同期パルス発生回路1で発生するパルスを微分回路42で微分してリセットされ、0より1-1のカウンタ値で繰返えされる。アドレス発生回路43では、カウンタ41のカウンタ値、カウンタ値-1およびカウンタ値-2のアドレス値を時分割で発生する。この3つのアドレスは式(5)の $i = K_1, K_2, >$ に対応するものである。

【0036】MOD(1)回路31はアドレス発生回路43で発生したデータ値を1を法とする数に変換し、メモリ44のアドレスとして送出する。すなわち、MOD(1)回路は、例えば1を30とするならば、データ値が30ならば0、31ならば1、逆に-1ならば29、-2ならば28を出力する。

【0037】メモリ44ではアドレスに対応するデータ値(タップ値)が読出され、加算回路45で加算して出力する。すなわち、加算回路45では式(5)の加算を行って $y(n)$ を出力する。更に具体的に適応フィルタ4での出力値 $y(n)$ の算出を、図8で示した従来例の構成で対比して説明すると、遅延素子70には同期パルス発生回路1より同期パルス $p(t)$ が入力されて伝播される。

【0038】図4は同期パルス $p(t)$ が遅延素子70を伝播している状態を示したものであり、横軸が素子番号である。また、仮定したように、 $p(t)$ は3サンプリングパルスの幅を有している。図2で示すカウンタ41のカウンタ値は、図4で示す同期パルス $p(t)$ の最初に存在する素子番号 k に対応する。また、アドレス発生回路43は k をもとに k 、 $k-1$ および $k-2$ を発生させている。

【0039】したがって、加算回路45より出力される出力値 $y(n)$ は、図5に示すように、図8で示す適応フィルタのタップ値 w_i より w_i を w_i で打ち切り、 $W_i * W_i(n+1) = W_i(n) - \mu \cdot e(n) \cdot HC_i$... (9)

なるタップ値 $W_i(n+1)$ が k なるアドレスのメモリ44に格納されて、タップ値を更新する。

【0043】タップ値の更新は、アドレス発生回路61で0より J のアドレスが発生されるため、カウンタ41のカウンタ値を k とすると、 k より $k-J$ に対応するアドレスのメモリ44のデータが更新される。すなわち、図6に示すように、図8の従来例で示す適応フィルタのタップ W_i より W_{i-J} の更新が行なわれる。

【0044】なお実施例では、スピーカおよびマイクロホーンが各々1個の場合について説明したが、これらが複数個設置された場合の騒音低減装置にも適用することができる。以上、本発明の一実施例について説明したが、本発明はこの実施例に限定されるものではなく、その発明の主旨に従った各種変形が可能である。

【0045】

【発明の効果】以上説明したように、本発明によれば次の諸効果が得られる。

①騒音の周期に同期したパルスを発生させて適応フィルタに入力し、適応フィルタのタップ付遅延線のタップ数を、入力したパルスの間隔に等しい遅延量となるタップ数で打ち切るようにさせたので、適応フィルタでの演算処理回数を大幅に低減させることができ、装置構成を簡易化することができる。

②伝達特性を補償する信号を予めメモリに記録させ、同期パルス発生回路より発生するパルスに同期して読出するようにしたので、演算処理を行なうことなく、容易に得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

*より W_{i-J} のタップ値を加算したと同じ演算を行なわせている。加算回路45で $y(n)$ の算出が終了するとタップ値メモリ44に格納されているタップ値の更新を開始する。

【0040】アドレス発生回路61は、カウンタ41より出力されるカウンタ値が変化すると、式(7)で示した k に対応する0より J のアドレス信号を時分割で発生させる。アドレス発生回路61で発生したアドレス信号をアドレスとしてメモリ51より伝達特性 HC_i が読出され、乗算器61に入力され、 $\mu \cdot e(n) \cdot HC_i$ なる演算出力を得る。

【0041】一方、アドレス発生回路61より発生したアドレス信号は加算器62でカウンタ41のカウンタ値より減算されてMOD(I)回路63に入力される。MOD(I)回路63の出力はタップ値が格納されているメモリ44にアドレス信号として供給され、タップ値 $W_i(n)$ が読出され、加算回路66に入力される。

【0042】加算回路66では、乗算回路65より出力と減算され、

【図2】同実施例のタップ切替部、適応フィルタ、伝達特性補償部およびタップ値更新部の具体例である。

【図3】伝達特性補償部のタップ値の具体例である。

【図4】同期パルス $p(t)$ の遅延素子上の説明図である。

【図5】適応フィルタの出力値算出説明図である。

【図6】適応フィルタのタップ値更新説明図である。

【図7】従来例の構成図である。

【図8】従来例の適応フィルタおよびタップ値更新部の構成図である。

【図9】従来例の伝達特性補償部の構成図である。

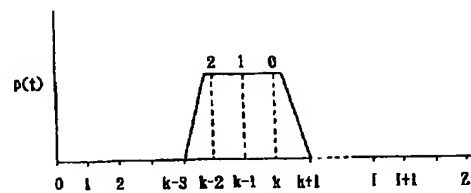
【符号の説明】

| | |
|------------------------|-------------|
| 1 | 同期パルス発生回路 |
| 2 | パルス間隔検出回路 |
| 3 | タップ切替部 |
| 4, 7 | 適応フィルタ |
| 5, 8 | 伝達特性補償部 |
| 6, 9 | タップ値更新部 |
| 11 | ピックアップ回路 |
| 12, 16 | アナログデジタル変換器 |
| 13 | デジタルアナログ変換器 |
| 14 | スピーカ |
| 31, 63 | MOD(I)回路 |
| 41 | カウンタ |
| 42 | 微分回路 |
| 43, 61 | アドレス発生回路 |
| 44, 51 | メモリ |
| 45, 62, 65, 72, 82, 93 | 加算回路 |
| 64, 65, 91, 92 | 乗算器 |

実施例の構成

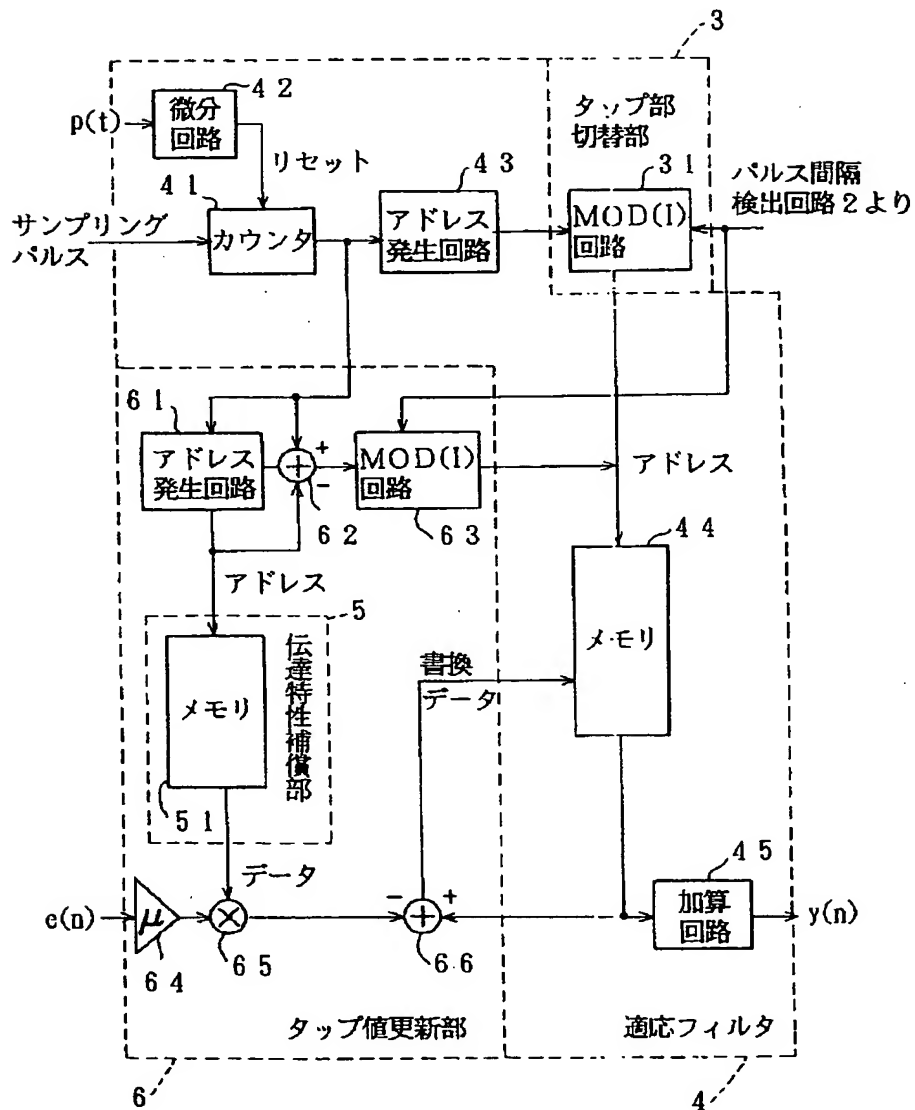


周期パルス $p(t)$ の遅延素子上の説明図



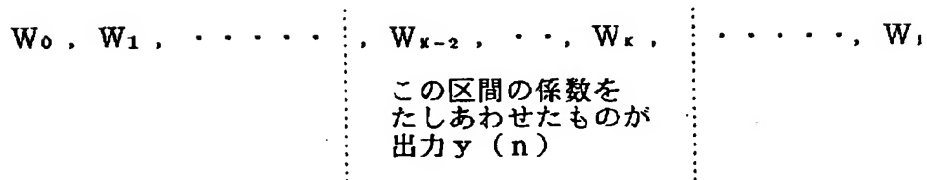
【図2】

タップ切替部、適応フィルタ、伝達特性補償部
およびタップ値更新部の具体例



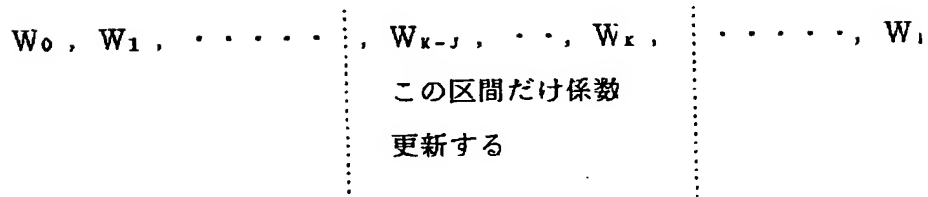
【図5】

適応フィルタの出力値算出説明図



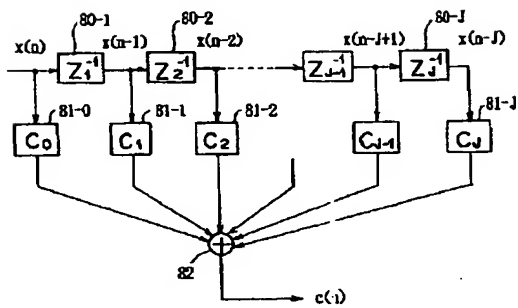
【図6】

適応フィルタのタップ値更新説明図



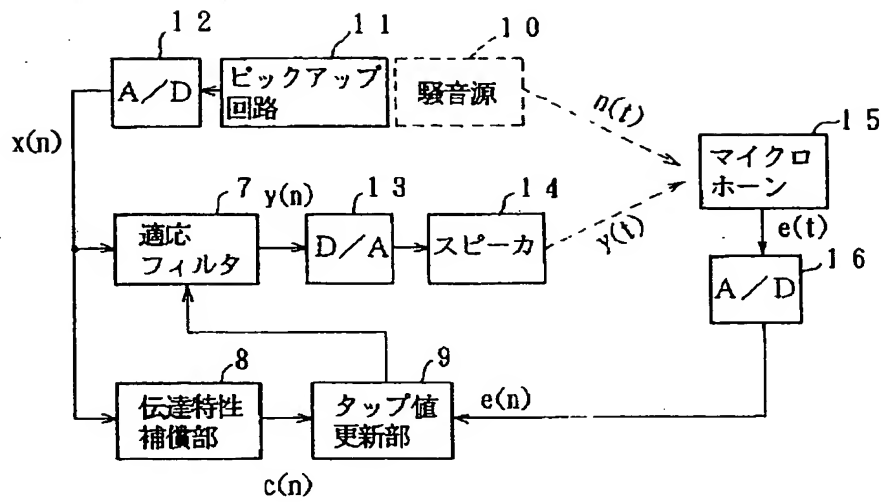
【図9】

従来例の伝達特性補償部の構成



【図7】

従来例の構成



【図8】

従来例の適応フィルタおよびタップ値更新部の構成

